

【特許請求の範囲】

【請求項1】 誘電体基板(11)の上面に形成された高周波回路を外部より隔てる壁(12)を備える高周波回路パッケージにおいて、

前記壁(12)の内側の前記誘電体基板(11)の上面に設けられたマイクロストリップ線路導体(13)と、前記誘電体基板(11)の下面に設けられた接地導体(14)と、

前記誘電体基板(11)の下面に設けられたコブレーナ線路導体(15)と、

前記誘電体基板(11)の貫通穴であって、前記マイクロストリップ線路導体(13)と前記コブレーナ線路導体(15)とを電気的に接続するように導体が充填されたスルーホール(16)とを備え、

前記マイクロストリップ線路導体(13)と前記接地導体(14)がマイクロストリップ線路を形成し、前記コブレーナ線路導体(15)と前記接地導体(14)がコブレーナウェーブガイド線路を形成し、前記マイクロストリップ線路と前記コブレーナウェーブガイド線路は同一の特性インピーダンスを有することを特徴とする高周波回路パッケージ。

【請求項2】 誘電体基板(21)の上面に形成された高周波回路を外部より隔てる壁(22)を備える高周波回路パッケージにおいて、

前記壁(22)の内側の前記誘電体基板(21)の上面に設けられたマイクロストリップ線路導体(23)と、前記誘電体基板(21)の下面に設けられた第一接地導体(24)と、

前記誘電体基板(21)の下面に設けられたコブレーナ線路導体(25)と、

前記誘電体基板(21)の貫通穴であって、前記マイクロストリップ線路導体(23)と前記コブレーナ線路導体(15)とを電気的に接続するように導体が充填されたスルーホール(16)と、

前記誘電体基板(21)の上面に設けられ、前記壁(22)の一部が上面に設けられる第二接地導体(27)とを備え、

前記マイクロストリップ線路導体(23)と前記第一接地導体(24)がマイクロストリップ線路を形成し、前記コブレーナ線路導体(25)と前記第一接地導体(24)と前記第二接地導体(27)がコブレーナウェーブガイド線路を形成し、前記マイクロストリップ線路と前記コブレーナウェーブガイド線路は同一の特性インピーダンスを有することを特徴とする高周波回路パッケージ。

【請求項3】 誘電体基板(31)の上面に形成された高周波回路を外部より隔てる壁(32)を備える高周波回路パッケージにおいて、

前記壁(32)の内側の前記誘電体基板(31)の上面に設けられたコブレーナ線路導体(33)と、

前記誘電体基板(31)の上面に設けられ、前記壁(32)の一部が上面に設けられる接地導体(34)と、前記誘電体基板(31)の下面に設けられたマイクロストリップ線路導体(35)と、

前記誘電体基板(31)の貫通穴であって、前記コブレーナ線路導体(33)と前記マイクロストリップ線路導体(35)とを電気的に接続するように導体が充填されたスルーホール(36)とを備え、

前記コブレーナ線路導体(33)と前記接地導体(34)がコブレーナウェーブガイド線路を形成し、前記マイクロストリップ線路導体(35)と前記接地導体(34)がマイクロストリップ線路を形成し、前記コブレーナウェーブガイド線路と前記マイクロストリップ線路は同一の特性インピーダンスを有することを特徴とする高周波回路パッケージ。

【請求項4】 誘電体基板(41)の上面に形成された高周波回路を外部より隔てる壁(42)を備える高周波回路パッケージにおいて、

前記壁(42)の内側の前記誘電体基板(41)の上面に設けられたコブレーナ線路導体(43)と、前記誘電体基板(41)の上面に設けられ、前記壁(42)の一部が上面に設けられる第一接地導体(44)と、

前記誘電体基板(41)の下面に設けられたマイクロストリップ線路導体(45)と、

前記誘電体基板(41)の貫通穴であって、前記コブレーナ線路導体(43)と前記マイクロストリップ線路導体(45)とを電気的に接続するように導体が充填されたスルーホール(46)と、

前記誘電体基板(41)の下面に設けられた第二接地導体(47)とを備え、

前記コブレーナ線路導体(43)と前記第一接地導体(44)と第二接地導体(47)がコブレーナウェーブガイド線路を形成し、前記マイクロストリップ線路導体(45)と前記第一接地導体(44)がマイクロストリップ線路を形成し、前記コブレーナウェーブガイド線路と前記マイクロストリップ線路は同一の特性インピーダンスを有することを特徴とする高周波回路パッケージ。

【請求項5】 誘電体基板(51)の上面に形成された高周波回路を外部より隔てる壁(52)を備える高周波回路パッケージにおいて、

前記壁(52)の内側の前記誘電体基板(51)の上面に設けられた第一マイクロストリップ線路導体(53)と、

前記誘電体基板(51)の下面に設けられた第一接地導体(54)と、

前記誘電体基板(51)の下面に設けられた第二マイクロストリップ線路導体(55)と、

前記誘電体基板(51)の上面に設けられ、前記壁(52)

の一部が上面に設けられる第二接地導体(56)とを備え、

2) の一部が上面に設けられる第二接地導体 (57)

と、

前記誘電体基板 (51) の貫通穴であって、前記第一マイクロストリップ線路導体 (53) と前記第二マイクロストリップ線路導体 (55) とを電気的に接続するように導体が充填されたスルーホール (56) とを備え、前記第一マイクロストリップ線路導体 (53) と前記第一接地導体 (54)、及び前記第二マイクロストリップ線路導体 (55) と前記第二接地導体 (57) は、それぞれマイクロストリップ線路を形成し、両方のマイクロストリップ線路は同一の特性インピーダンスを有することを特徴とする高周波回路パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、誘電体基板上に形成された高周波回路の周囲に壁を設けて外部より隔離するようにした高周波回路パッケージに関し、特にパッケージとの信号の入出力部における反射損失及び挿入損失の小さな高周波回路パッケージの実現に関する。

【0002】

【従来の技術】 誘電体基板上に形成したマイクロ波・ミリ波帯の高周波回路を周囲環境から隔離するため、誘電体基板上に回路を囲むように壁を設けて密閉するハーメチックシールと呼ばれるシーリングを行うのが一般的である。ハーメチックシールをした高周波回路パッケージでは、内部との信号等の入出力のためには壁又は基板を通過する線路を設ける必要があり、マイクロストリップ線路や同軸線路が用いられている。

【0003】 図16は壁を貫通するマイクロストリップ線路を有する高周波パッケージを示す図である。図において181が誘電体基板であり、この上に回路が形成される。182はシール用の壁であり、形成した回路を囲むように設けられている。実際には上面にもふたがある。183、185及び188は線路導体であり、184は接地導体である。高周波信号の線路では反射損失の発生を防止するため経路各部の特性インピーダンスを一致させる必要がある。

【0004】 図16に示すような高周波回路パッケージでは、線路導体の途中の部分188のすぐ上に壁182を設ける必要がある。そのため線路導体183、185、188と接地導体184で同一の特性インピーダンスのマイクロストリップ線路を形成するには、図示のように壁182と接する線路導体の部分188の幅を狭くする必要が生じる。但しこのような高周波パッケージは、高い周波数のマイクロ波に対しては、線路導体の幅が狭くなり、図の188の部分は特に狭くなるため、製造が非常に難しくなるという問題がある。

【0005】 高周波回路パッケージの入出力部の他の例では、内部の信号経路を一旦スルーホールを介して基板の下面に出す方式も使用される。このようなスルーホー

ルを使用するパッケージは比較的低い周波数のマイクロ波回路用にも使用され、マイクロ波・ミリ波回路や半導体素子のボンディングパッドと、ハーメチックシールされた信号の入出力部を、单一誘電体基板上に同時に製造することができるため、製造コストを小さくできる利点をもっている。

【0006】 図17にスルーホールを使用した高周波パッケージの従来例を示す。ここでは壁192で固まれた誘電体基板191の上面に線路導体193が設けられており、誘電体基板191の下面の接地導体194とマイクロストリップ線路を形成している。誘電体基板191の下面には、リード接続パターン195が設けられており、外部への引き出し線であるリード197に接続されている。線路導体193とリード接続パターン195は、誘電体基板191の貫通穴に導体を充填したスルーホール196を通じて電気的に接続されている。壁192は図示の位置に設けられる。

【0007】 図17のパッケージを外部に接続する方法について簡単に説明する。まずリード197を外部回路のマイクロストリップ線路に半田付などで接続する。そして外部回路のマイクロストリップ線路の接地導体とこのパッケージ内部のマイクロストリップ線路の接地導体を使用する周波数帯で同電位にするために、外部回路基板の接地導体と図17の接地導体194を半田等で接続する。

【0008】

【発明が解決しようとする課題】 しかし図17に示すようなスルーホールを用いた高周波パッケージでは、リード接続パターン195の特性インピーダンスが誘電体基板の影響を受けるため、外部回路のマイクロストリップ線路の特性インピーダンスとは異なった特性インピーダンスになり、この部分で信号の反射が発生してしまう。従って図17に示すようなスルーホールを入出力部に使用したパッケージをマイクロ波・ミリ波回路に使用する場合、信号の周波数が高いと反射損失が増えるという問題がある。更にリードと接地導体が同一面にあるため、外部のストリップ線路部品に線路導体と同一面の接続用電極を設けて接地導体をこれに接続する必要があり、外部回路が複雑になり製造コストが上昇するという問題がある。更にこれによりパッケージ下面でリードおよび接地導体の接続を同時にに行うために、半田量の制御や位置合わせを正確に行う必要も生じる。

【0009】 以上のように入出力部にスルーホールを使用した従来の高周波回路パッケージは、リード部での反射損失の発生、及び外部回路にパッケージの接地のための接地電極とそのためのスルーホールを設ける必要があり、性能及びコスト面で充分とはいえないかった。本発明は上記問題点に鑑みてなされたものであり、入出力部にスルーホールを使用した高周波回路パッケージの性能向上及び接続する外部回路の製造コスト低減を目的とす

る。

【0010】

【課題を解決するための手段】図1は本発明の高周波回路パッケージの第一の基本構成を示す図である。図において、11はその上面に高周波回路が形成される誘電体基板である。12は形成した高周波回路を外部より隔てるための壁である。13はこの高周波回路との入出力線路の一部をなすマイクロストリップ線路導体であり、壁12の内側の誘電体基板11の上面に設けられている。14は誘電体基板11の下面に設けられた接地導体である。15は入出力線路の一部をなすコプレーナ線路導体であり、誘電体基板11の下面に設けられている。16は誘電体基板11の貫通穴に導体を充填したスルーホールであり、マイクロストリップ線路導体13とコプレーナ線路導体15とを電気的に接続する。マイクロストリップ線路導体13と接地導体14はマイクロストリップ線路を形成し、所定の特性インピーダンスを有するように形状等が定められている。コプレーナ線路導体15と接地導体14はコプレーナウェーブガイド線路を形成し、マイクロストリップ線路の特性インピーダンスと同一の特性インピーダンスを有するように形状等が定められる。

【0011】図2は、本発明の高周波回路パッケージの第二の基本構成を示す図である。図において、21はその上面に高周波回路が形成される誘電体基板である。22は形成した高周波回路を外部より隔てるための壁である。23はこの高周波回路との入出力線路の一部をなすマイクロストリップ線路導体であり、壁22の内側の誘電体基板21の上面に設けられている。24は誘電体基板21の下面に設けられた第一接地導体である。25は入出力線路の一部をなすコプレーナ線路導体であり、誘電体基板21の下面に設けられている。26は誘電体基板21の貫通穴に導体を充填したスルーホールであり、マイクロストリップ線路導体23とコプレーナ線路導体25とを電気的に接続する。27は誘電体基板21の上面に設けられた第二接地導体であり、この上に壁22の一部が設けられる。マイクロストリップ線路導体23と第一接地導体24はマイクロストリップ線路を形成し、所定の特性インピーダンスを有するように形状等が定められている。コプレーナ線路導体25と第一接地導体24と第二接地導体27はコプレーナウェーブガイド線路を形成し、マイクロストリップ線路の特性インピーダンスと同一の特性インピーダンスを有するように形状等が定められている。

【0012】図3は本発明の高周波回路パッケージの第三の基本構成を示す図である。図において、31はその上面に高周波回路が形成される誘電体基板である。32は形成した高周波回路を外部より隔てるための壁である。33はこの高周波回路との入出力線路の一部をなすコプレーナ線路導体であり、壁32の内側の誘電体基板

31の上面に設けられている。34は誘電体基板31の上面に設けられた接地導体であり、この上に壁32の一部が設けられる。35は入出力線路の一部をなすマイクロストリップ線路導体であり、誘電体基板31の下面に設けられる。36は誘電体基板31の貫通穴に導体を充填したスルーホールであり、コプレーナ線路導体33とマイクロストリップ線路導体35とを電気的に接続する。コプレーナ線路導体33と接地導体34はコプレーナウェーブガイド線路を形成し、所定の特性インピーダンスを有するように形状等が定められている。マイクロストリップ線路導体35と接地導体34はマイクロストリップ線路を形成し、コプレーナウェーブガイド線路の特性インピーダンスと同一の特性インピーダンスを有するように形状等が定められている。

【0013】図4は本発明の高周波回路パッケージの第四の基本構成を示す図である。図において41はその上面に高周波回路が形成される誘電体基板である。42は形成した高周波回路を外部より隔てるための壁である。43はこの高周波回路との入出力線路の一部をなすコプレーナ線路導体であり、壁42の内側の誘電体基板41の上面に設けられている。44は誘電体基板41の上面に設けられた第一接地導体であり、この上に壁42の一部が設けられる。45は入出力線路の一部をなすマイクロストリップ線路導体であり、誘電体基板41の下面に設けられる。46は誘電体基板41の貫通穴に導体を充填したスルーホールであり、コプレーナ線路導体43とマイクロストリップ線路導体45とを電気的に接続する。47は誘電体基板41の下面に設けられた第二接地導体である。コプレーナ線路導体43と第一接地導体44と第二接地導体47はコプレーナウェーブガイド線路を形成し、所定の特性インピーダンスを有するように形状等が定められている。マイクロストリップ線路導体45と第一接地導体44はマイクロストリップ線路を形成し、コプレーナウェーブガイド線路の特性インピーダンスと同一の特性インピーダンスを有するように形状等が定められている。

【0014】図5は本発明の高周波回路パッケージの第五の基本構成を示す図である。図において51はその上面に高周波回路が形成される誘電体基板である。52は形成した高周波回路を外部より隔てるための壁である。53はこの高周波回路との入出力線路の一部をなす第一マイクロストリップ線路導体であり、壁52の内側の誘電体基板51の上面に設けられている。54は誘電体基板51の下面に設けられた第一接地導体である。55は入出力線路の一部をなす第二マイクロストリップ線路導体であり、誘電体基板51の下面に設けられる。57は誘電体基板51の上面に設けられた第二接地導体であり、この上に壁42の一部が設けられる。56は誘電体基板51の貫通穴に導体を充填したスルーホールであり、第一マイクロストリップ線路導体53と第二マイク

30

20

30

40

50

50

40

50

ロストリップ線路導体55とを電気的に接続する。第一マイクロストリップ線路導体53と第一接地導体54はマイクロストリップ線路を形成し、第二マイクロストリップ線路導体55と第二接地導体57もマイクロストリップ線路を形成し、両方のマイクロストリップ線路の特性インピーダンスは同一であるように形状等が定められる。

【0015】

【作用】同軸ケーブルや導波管に比べて小型で製造が容易であるため、回路の入出力部には平面形導波路が使用される。この平面形導波路には、図6に示すマイクロストリップ線路及び図7に示すコプレーナウェーブガイドが含まれる。図6のマイクロストリップ線路は、誘電体基板101の上面に線路導体103を形成し、下面に接地導体104を形成したものの、線路導体103の幅wに比べて接地導体104は充分に広い。誘電体基板101の比誘電率等に応じて、誘電体基板101の厚さh、線路導体103の幅w及び厚さlを定めることにより、所定の特性インピーダンスを有する線路が実現できる。通常は50Ωに設定される。

【0016】図7のコプレーナウェーブガイド線路には基板裏面に接地導体の無いタイプ（ここではCPW型と呼ぶ。）と基板裏面に接地導体のあるタイプ（ここではCPWG型と呼ぶ。）の二つのタイプがあり、CPW型は誘電体基板111上に線路導体113を形成し、その両側に所定の間隔gだけ離して接地導体114を形成したものである。CPWG型は誘電体基板121上に線路導体123と接地導体124を形成し、更に誘電体基板121の下面に接地導体125を形成する。いずれの場合にも誘電体基板の厚さh、線路導体の幅w、導体の厚さl、及び間隔gを基板の比誘電率等に応じて定めれば所定の特性インピーダンスが得られる。CPW型では、誘電体基板111の厚さhがある程度以上、例えば二つの接地導体の間隔以上であれば厚さhの変化は特性インピーダンスにほとんど影響しない。

【0017】本発明の高周波パッケージの第一の基本構成では、高周波回路側の線路をストリップ線路導体13と接地導体14が形成するマイクロストリップ線路とし、外側への線路をコプレーナ線路導体15と接地導体14が形成するCPW型コプレーナウェーブガイド線路とする。このマイクロストリップ線路とコプレーナウェーブガイド線路は同一の特性インピーダンスZcを有するように設定されているため、この部分でのマイクロ波・ミリ波の反射は発生しない。誘電体基板11の厚さは、コプレーナ線路導体の幅や間隔に比べて同程度であれば、壁12の存在はコプレーナウェーブガイド線路のインピーダンスにはほとんど影響せず、これによる反射は発生しない。また壁12はマイクロストリップ線路に対しても充分に離すことが可能であり、壁12の影響はない。

【0018】更に、一般的にマイクロ波・ミリ波用回路で使用する誘電体基板11の厚さは、伝送する信号の波長に比べて十分に薄いため、スルーホール16の部分の電気的長さ、すなわち位相ずれは短く、反射は小さい。またスルーホール16には導体が充填されるため、壁内部の気密性が保持される。従って図1に示すようなパッケージを用いることにより、パッケージ入出力部でのマイクロ波・ミリ波信号の反射の非常に小さいハーメチックシール可能な高周波回路パッケージが実現できる。

【0019】以下第二から第五の基本構成は構成が異なるが基本的作用は同一であり、説明の一部は省略する。本発明の第二の基本構成は、第一基本構成のコプレーナウェーブガイド線路をコプレーナ線路導体25と第一接地導体24と第二接地導体27で形成するCPWG型とする。壁22は接地導体27の上に設けられるため、コプレーナウェーブガイド線路のインピーダンスへの影響は更に小さくなる。この基本構成でも、マイクロストリップ線路とコプレーナウェーブガイド線路の特性インピーダンスが同一に設定されているため、マイクロ波・ミリ波信号の反射は発生しない。

【0020】本発明の第三の基本構成は、高周波回路側の線路をコプレーナ線路導体33と接地導体34で形成するコプレーナウェーブガイド線路とし、外側への線路をストリップ線路導体35と接地導体34で形成するマイクロストリップ線路とする。このコプレーナウェーブガイド線路とストリップ線路との特性インピーダンスは同一であるため、マイクロ波・ミリ波信号の反射は生じない。壁32は接地導体34の上にあるためマイクロストリップ線路の特性インピーダンスはほとんど影響を受けない。

【0021】本発明の第四の基本構成は、第三の基本構成と同様に外側への線路はマイクロストリップ線路であるが、壁42内の回路側のコプレーナウェーブガイド線路をCPWG型とするものである。本発明の第五の基本構成は、回路側と外側の線路を共にマイクロストリップ線路とするものである。壁52は第二接地導体57の上に設けられているため、第二ストリップ線路導体55と第二接地導体57が形成する第二マイクロストリップ線路のインピーダンスにはほとんど影響しない。

【0022】

【実施例】第一実施例の高周波回路パッケージを図8に示す。(a)は上面図であり、(b)は下面図である。この高周波回路はパッケージ内部にマイクロ波・ミリ波用半導体素子及びその整合回路をマイクロストリップ線路で構成したものである。実際にはパッケージの上部にもシール板が設けられ、希ガス等と一緒に封止して回路部を外部環境から保護する。

【0023】図8の(a)において、133はマイクロストリップ線路を形成する線路導体であり、外側の端に近い部分に導体を充填したスルーホールが設けられ、これ

を介して図8の(b)に示すコプレーナ線路導体135に接続される。図8の(b)に示すようにパッケージの裏面には、一部を除いて全面に接地導体が設けられており、マイクロストリップ線路導体133とマイクロストリップ線路を形成し、コプレーナ線路導体135とコプレーナウェーブガイド線路を形成する。なお図8の(a)における138は電源端子であり、これについてもスルーホールを介して、(b)に示す裏面の電極139に接続されている。これらスルーホールはすべて導体が充填されており、内部回路は完全にシールされる。

【0024】本実施例では壁132は誘電体で作られているが、導体とすることも可能であり、導体とする場合には裏面の接地導体と電気的に接続することもできるが、これについては第二実施例で示す。第一実施例における入出力部の構造をより詳細に示したのが図9である。図9において、131は誘電体基板であり、132はシール用壁であり、136は線路用スルーホールであり、他は図8と同じである。図9でA、B、C及びDで示した位置での断面を示したのが図10である。Aの部分ではマイクロストリップ線路が形成され、Cの部分ではコプレーナウェーブガイド線路が形成されているのは明らかである。

【0025】マイクロストリップ線路及びコプレーナウェーブガイド線路の特性インピーダンスは形状や誘電体基板の比誘電率等によって決定されることは前述したが、実際の形状例を示す。マイクロストリップ線路については、図6に基づいて例を示す。誘電体基板101の比誘電率 ϵ_r を9.7とし、厚さ h を200μmとし、線路導体103と接地導体104の厚さ t を3μmとし、抵抗率 ρ が $2.44 \times 10^{-8} \Omega \text{cm}$ で表面粗さ r が0で、損失角 $\tan \delta$ を0とすると、周波数5.0GHzの信号に対して特性インピーダンスを50Ωとするには線路導体103の幅を206.38μmとする必要がある。

【0026】同様にコプレーナウェーブガイド線路について図7に基づいて例を示す。誘電体基板111の比誘電率 ϵ_r 、厚さ h を上記と同様に9.7と200μmとし、導体の条件 t 、 ρ 、 r 及び $\tan \delta$ についても同様に、3μm、1.0及び0とすると、5.0GHzで特性インピーダンスを50Ωとするには、CPWG型で線路幅 w を97.04μmに、間隔 g を40μmとする。また w を100μmに、 g を41.12μmにする。第一実施例では使用していないが、CPWG型であれば、 w を80.97μmに、 g を40μmにするか、又は w を100μmに、 g を53.30μmにする通常接続される外部回路も50Ωの特性インピーダンスを有するように設定されており、接続によって反射が生じないようにしている。

【0027】次に第二実施例の高周波パッケージの入出力部の構造を図11に示す。(a)は上面の斜視図であり、(b)は下面の斜視図であり、(c)は(a)においてE

で示した位置での断面図である。図において、141は誘電体基板であり、142はシール用の壁である。143はマイクロストリップ線路導体であり、第一接地導体144とマイクロストリップ線路を形成する。145はコプレーナ線路導体であり、第一接地導体144と第二接地導体147とのコプレーナウェーブガイド線路を形成する。線路の形状等は前述のCPWG型で50Ωの特性インピーダンスを有する条件を満足するように定められている。146はスルーホールである。148は第一接地導体144と第二接地導体147を電気的に接続するスルーホールで、内部には導体が充填されている。このスルーホール148の替わりに誘電体基板の端に電気メッキ等で導体を設けてよい。

【0028】図11に示すように第二接地導体147は壁142の外側に露出した部分を有している。そのため外部のマイクロストリップ線路と接続する場合、コプレーナ線路導体から延びるリードと第二接地導体147をそれぞれの面で接続すれば良く、接続作業が容易である。第一実施例ではリードと接地導体が同じ面であるため外部のマイクロストリップ線路を接続する場合には、外部のマイクロストリップ線路側で接地導体とスルーホール等で接続された接続用電極を線路導体と同じ側に設ける必要があったが図11に示した第二実施例であればこの必要はなく、接続する外部回路はそれだけ簡単な構造になる。もちろん外部回路の線路と接地導体が同じであれば、図11の第一接地導体144に接続すればよい。

【0029】壁142は誘電体でも導体でも構わない。もし導体であれば第二接地導体147に接続され、接地される。その場合には外部回路との接続のために第二接地導体147に露出部を設けることはかならずしも必要でなく、壁142の側面を利用して接続することも可能である。上記の露出部をなくした時には図9と類似の形状になり、導体の壁と裏面とをスルーホールで接続することになる。

【0030】第三実施例は、パッケージ内部にマイクロ波・ミリ波半導体素子及びその整合回路をコプレーナウェーブガイド線路で形成した高周波回路パッケージであり、その全体図を図12に示す。(a)が上面図であり、(b)が下面図である。図において151が誘電体基板であり、その上面には回路部及び線路部を除いて接地導体154が設けられており、その上に壁152が設けられている。当然回路の上部にはふたがあり、シールされる。

【0031】153はコプレーナ線路導体であり、接地導体154と50Ωの特性インピーダンスを有するコプレーナウェーブガイド線路を形成する。155は裏面に設けられたマイクロストリップ線路導体であり、上面の接地導体154とマイクロストリップ線路を形成する。壁152は誘電体でも導体でもよい。また第二実施例で

述べたのと同様に、誘電体基板151と壁152が同一の端面を有していてもよい。

【0032】第三実施例の入出力部の構造を図13に示す。(a)は上面の斜視図であり、(b)は下面の斜視図であり、(c)と(d)は図中のFとGの位置での断面を示す。図において156はスルーホールである。これによりそれぞれの部分でコプレーナウェーブガイド線路とマイクロストリップ線路が形成されていることがわかる。もちろんそれぞれの特性インピーダンスは50Ωに設定されている。

【0033】第四実施例の入出力部の構造を図14に示す。(a)は上面の斜視図であり、(b)は下面の斜視図であり、(c)は図中にHで示した位置での断面図である。本実施例は壁162の内側の線路をCPWG型のコプレーナウェーブガイド線路とした高周波回路パッケージである。161は誘電体基板であり、162はシール用の壁である。163はコプレーナ線路導体である。164は第一接地導体であり、誘電体基板161の回路部と線路部を除く全面に設けられている。165はマイクロストリップ線路導体である。166はコプレーナ線路導体とマイクロストリップ線路導体165を電気的に接続するスルーホールである。167は誘電体基板161の下面に設けられた第二接地導体であり、(c)の断面図に示す接地用スルーホール168により第一接地導体164と電気的に接続されている。

【0034】コプレーナ線路導体163と第一接地導体164と第二接地導体167とが50Ωの特性インピーダンスを有するコプレーナウェーブガイド線路を形成する。マイクロストリップ線路導体165と第一接地導体164とが、50Ωの特性インピーダンスのマイクロストリップ線路を形成する。これにより信号の反射は発生しない。

【0035】第五実施例の入出力部の構造を図15に示す。(a)は上面の斜視図であり、(b)は下面の斜視図である。本実施例は壁の内側と外側の線路と共にマイクロストリップ線路とするものである。171は誘電体基板であり、172はシール用の壁である。173は第一マイクロストリップ線路導体であり、下面に設けられた第一接地導体174と50Ωの特性インピーダンスを有する第一マイクロストリップ線路を形成する。175は第二マイクロストリップ線路導体であり、誘電体基板171の上面に設けられた第二接地導体177と50Ωの特性インピーダンスを有する第二マイクロストリップ線路を形成する。176は第一マイクロストリップ線路導体173と第二マイクロストリップ線路導体175とを電気的に接続するスルーホールである。第一接地導体174と第二接地導体177とは誘電体基板171の側面に設けられた接続導体178によって電気的に接続されている。

【0036】壁172の一部は第二接地導体177の上

に設けられる。壁172は誘電体でも導体でもよい。以上のように本発明の高周波回路パッケージでは、シールした回路との信号の入出力を誘電体基板に設けたスルーホールを介して行うが、スルーホールを用いることにより構造が単純で、マイクロ波・ミリ波回路や半導体素子のボンディングパッドなどを含む基板とパッケージ入出力部を单一基板上に構成することができ、製造コストを小さくすることが可能である。更にスルーホール部の位相が短いために、図16に示したストリップ線路や同軸線路を使用したものより挿入損失を小さくすることが可能である。

【0037】

【発明の効果】本発明により、簡単な構造で良好な特性を有するハーメチックシール構造のマイクロ波・ミリ波用高周波回路パッケージが実現できる。これにより高い周波数でも反射損失が少ないシステムが実現でき、製造コストも低減される。

【図面の簡単な説明】

【図1】本発明の高周波回路パッケージの第一の基本構成を示す図である。

【図2】本発明の高周波回路パッケージの第二の基本構成を示す図である。

【図3】本発明の高周波回路パッケージの第三の基本構成を示す図である。

【図4】本発明の高周波回路パッケージの第四の基本構成を示す図である。

【図5】本発明の高周波回路パッケージの第五の基本構成を示す図である。

【図6】マイクロストリップ線路を示す図である。

【図7】コプレーナウェーブガイド線路を示す図であり、(a)はCPW型を示し、(b)はCPWG型を示す。

【図8】第一実施例におけるパッケージ全体を示す図である。

【図9】第一実施例での入出力部の構造を示す図である。

【図10】第一実施例での入出力部の各部の断面を示す図である。

【図11】第二実施例の入出力部の構造を示す図である。

【図12】第三実施例のパッケージ全体を示す図である。

【図13】第三実施例での入出力部の構造を示す図である。

【図14】第四実施例の入出力部の構造を示す図である。

【図15】第五実施例の入出力部の構造を示す図である。

【図16】外部への線路としてシール用の壁を貫通する線路を有する高周波回路パッケージの従来例を示す図である。

13

【図17】外部への線路として基板のスルーホールを用い、信号線路を下面に設けた従来例を示す図である。

〔符号の説明〕

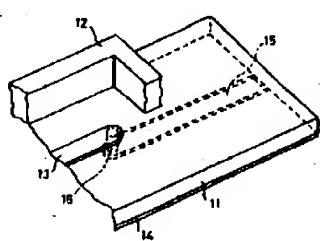
- 1 3…マイクロストリップ線路導体
- 1 4…接地導体
- 1 5…コブレーナ線路導体
- 1 6…スルーホール

〔圖 1〕

[图2]

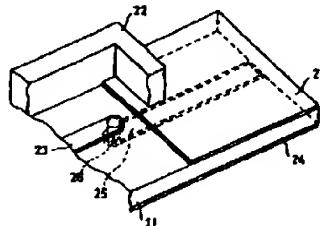
〔图6〕

本発明の高機能荷葉パッケージの第一基本構成



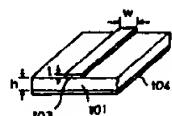
11—網電体基板
12—管
13—ストリップ線路基板
14—接続導体
15—コフレーナ接続導体
16—スルーケーブル

本発明の高耐候遮断パッケージの第二基板構成



11—第二輯地圖

マイクロストリップ線路



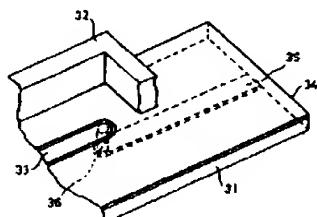
[6]—駆動部基板
[62]—ストリップ基板
[64]—隔離層

[图4]

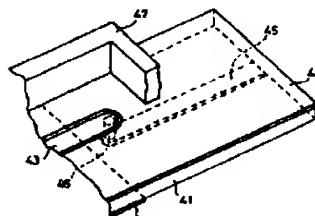
本発明の高周波器配パッケージの第4基本構成

[図3]

本発明の高周波飛電離パッケージの第三種本構成

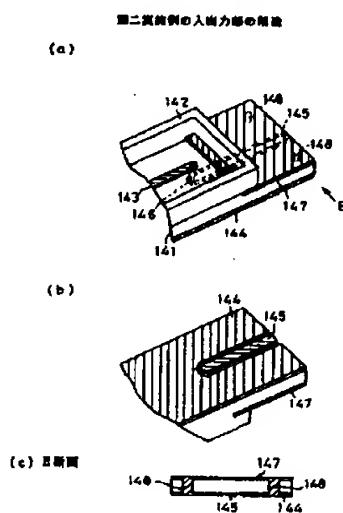


33—コブレーナ機器事件
34—情地事件
35—スヒリップ機器事件

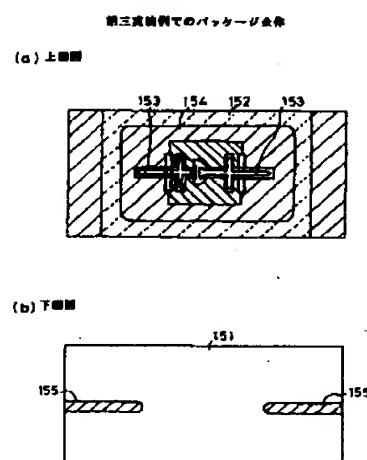


47--第二特地帶

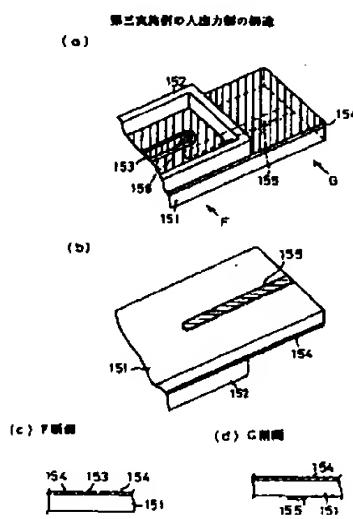
[図11]



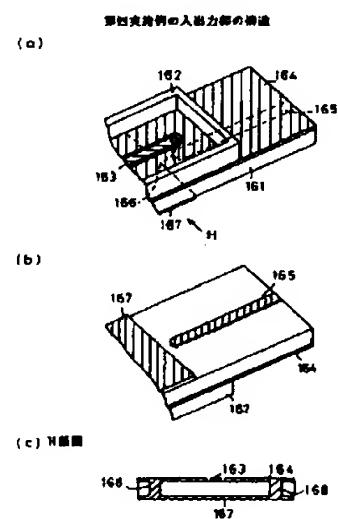
[図12]



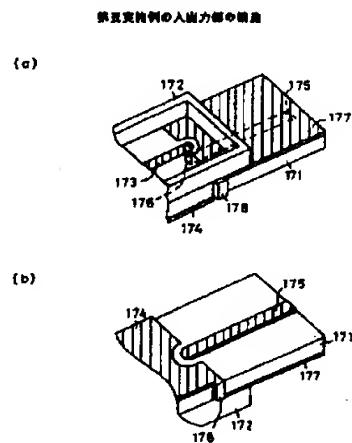
[図13]



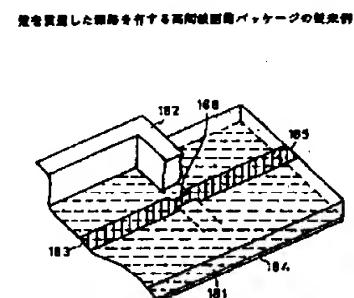
[図14]



[図15]



[図16]



[図17]

